Министерство образования и науки РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**факультет программной инженерии и компьютерной техники**

**ЛАБОРАТОРНАЯ РАБОТА №2**

по дисциплине

‘Функциональная схемотехника’

Вариант №6

*Выполнил:*

Студент группы P33312

Соболев Иван Александрович

*Преподаватель:*

Табунщик Сергей Михайлович



Санкт-Петербург, 2024

**Оглавление**

[Цели работы. 2](#_Toc160289581)

[Задание. 2](#_Toc160289582)

[Схема разработанного блока вычисления функции. 2](#_Toc160289583)

[Описание работы разработанного блока, начиная с подачи входных данных и заканчивая получением результата. 3](#_Toc160289584)

[Область допустимых значений для разработанного блока. 4](#_Toc160289585)

[Результат тестирования разработанного блока. 5](#_Toc160289586)

[Временная диаграмма тестирования. 6](#_Toc160289587)

[Время вычисления результата при частоте тактового сигнала в 100 МГц. 6](#_Toc160289588)

[Выводы. 7](#_Toc160289589)

# Цели работы.

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

# Задание.

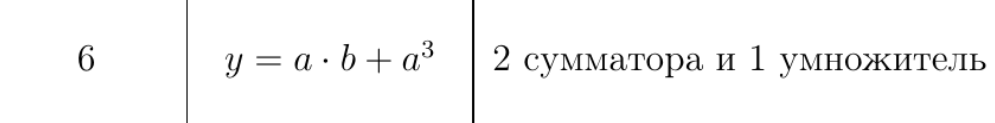


Рисунок 1 – Задание

# Схема разработанного блока вычисления функции.

Изображение выглядит как диаграмма, зарисовка, Технический чертеж, План

Автоматически созданное описание

Рисунок 2 - схема разработанного блока

В схеме используется мультиплексор и демультиплексор. Мультиплексор — это устройство, которое позволяет выбирать один из нескольких входных сигналов и перенаправлять его на выход. У мультиплексора имеется один выход и несколько входов для выбора данных. Демультиплексор принимает на вход один общий сигнал и перенаправляет его на нужный вход. Управляющие сигналы определяют, на какой из входов будет перенаправлен общий входной сигнал.

Для реализации данной функции был разработан и протестирован блок умножения.

Временная диаграмма тестирования блока умножения:

Изображение выглядит как снимок экрана, линия, Красочность

Автоматически созданное описание

Рисунок 3 - временная диаграмма блока MUL

Перемножение двух шестнадцатеричных чисел AA (в десятичном виде 170) даёт результат 70E4 (в десятичном виде 28900), что является верным результатом.

Для реализации функции был также разработан конечный автомат Мура:

Изображение выглядит как диаграмма, зарисовка, линия, рисунок

Автоматически созданное описание

Рисунок 4 - автомат Мура

# Описание работы разработанного блока, начиная с подачи входных данных и заканчивая получением результата.

На вход моего блока подаются сигналы:

* Start - сигнал, говорящий о начале вычислений
* Rst - сигнал сброса
* Clk - вход синхроимпульсов
* A - первый аргумент
* B - второй аргумент

Сам алгоритм подсчета можно разбить на данные следующие этапы:

* Модуль ожидает, когда во вход start будет подана 1
* Как только на вход подается сигнал о начале работы модуля (start), то с входных данных A B записываются соответствующие значения в регистры A B. Далее на вход умножителя подаются два операнда A, B. Результат умножения записывается в регистр AB.
* На вход регистра B, подается значение с регистра A, и на вход умножителя подаются два значения A, результат умножения приходит в регистр B, через демультиплексор.
* После этого мы последний раз подаем на вход умножителя значения с регистров и результат записывается в регистр AAA.
* Как только сформированы оба операнда для сложения мы складываем их и подаем результат на выход.

# Область допустимых значений для разработанного блока.

Так как оба операнда функции, это - беззнаковые, целые числа с разрядностью 8 бит, то максимально число, которое можно получить на выходе – 255\*255+255^3 = 16646400, данное число можно уместить, используя 24 бита, тогда выходной сигнал будет иметь разрядность в 24 бита.

* Разработанный блок умножения, будет умножать 8ми и 16ти разрядные числа.
* Регистр A имеет 8 разрядов
* Регистр B имеет 16 разрядов
* Регистр AB имеет 16 разрядов (т.к. хранит результат умножения двух 8 битовых чисел)
* Регистр AAA имеет 24 разряда (т.к. хранит результат умножения трех 8 битовых чисел)

# Результат тестирования разработанного блока.

Пример тестового окружения для разработанной функции.

Изображение выглядит как текст, снимок экрана, Шрифт

Автоматически созданное описание

Рисунок 5 - код тестовой функции

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рисунок 6 - Тестовые случаи

# Временная диаграмма тестирования.

Изображение выглядит как снимок экрана, линия

Автоматически созданное описание

Рисунок 7 - временная диаграмма тестирования

Вывод в консоль:

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рисунок 8 - вывод в консоль

# Время вычисления результата при частоте тактового сигнала в 100 МГц.

Тактовая частота в 100МГц – это 1 синхроимпульс за 10нс. Временная диаграмма тестирования для самых больших входных чисел из ОДЗ:

Изображение выглядит как снимок экрана, текст, Красочность

Автоматически созданное описание

Рисунок 9 - 100 МГц

По скриншоту временной диаграммы видно, что на вычисление результата функции при тактовой частоте 100МГц потребовалось 345нс.

# Выводы.

Во время выполнения данной лабораторной работы я разработал блок вычисления функции и реализовал его на языке описания аппаратуры Verilog, для его реализации был применен автомат Мура и составлен конечный автомат. Изучил различные аспекты реализации последовательной логики.